

RECEIVED
SEP 17 2002
TECHNOLOGY CENTER-2800

Commissioner for Patents
Washington, D.C. 20231

Date 08/15/02
Mo. Day Yr.
Atty. Docket 00862.022541

Application No. 10/091,461

Sir:

Kindly acknowledge receipt of the accompanying:

- ☐ Response to Official Action. _____
- ☐ Check for \$ _____ (claims fee)
- ☐ Petition under 37 CFR 1.136 and Check for \$ _____
- ☐ Notice of Appeal and Check for \$ _____
- ☐ Information Disclosure Statement, PTO-1449 and _____ documents
- ☐ Claim for priority and certified copies of _____ applications
- ☐ Issue fee transmittal and Check for \$ _____
- ☒ Other (specify) Submission Priority Doc.; onedoc. •

by placing your receiving date stamp hereon and mailing or returning to deliverer.

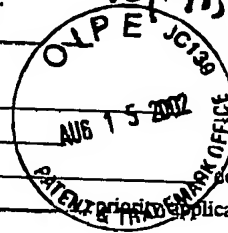
Atty. CAQ/CR

Due Date 11/30/02
Mo. Day Yr.

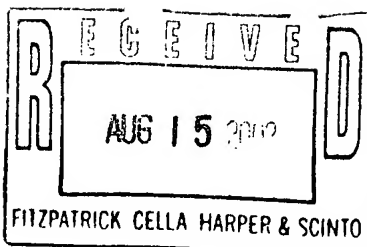
37 CFR 1.8 ☐

37 CFR 1.10 ☐

By Hand ☒



FCIS-B-00





2812
85
9.6.2

0862.022541

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RECEIVED
AUG 21 2002
TECHNOLOGY CENTER 2800

In re Application of:)
: Examiner: S. Isaac
MASATAKA ITO)
: Group Art Unit: 2812
Application No.: 10/091,461)
: Filed: March 7, 2002)
: For: SOI SUBSTRATE, ANNEALING)
: METHOD THEREFOR,)
: SEMICONDUCTOR DEVICE)
: HAVING THE SOI SUBSTRATE,)
: AND METHOD OF)
: MANUFACTURING SAME) August 14, 2002

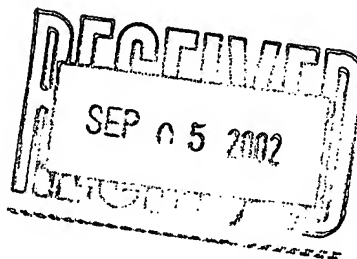
Commissioner for Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is
a certified copy of the following foreign application:

JP 2001-068745, filed March 12, 2001.



Applicant's undersigned attorney may be reached in our Costa Mesa, California office by telephone at (714) 540-8700. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicant

Registration No. 39,000

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

CA_MAIN 45874 v 1



(translation of the front page of the priority document of
Japanese Patent Application No. 2001-068745)

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: March 12, 2001

Application Number : Patent Application 2001-068745

[ST.10/C] : [JP 2001-068745]

Applicant(s) : Canon Kabushiki Kaisha

April 5, 2002

Commissioner,

Japan Patent Office

Kouzo OIKAWA

Certification Number 2002-3024449

RECEIVED
AUG 21 2002

TECHNOLOGY CENTER 2000

CFM 2541 US



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月12日

出 願 番 号

Application Number:

特願2001-068745

[ST.10/C]:

[JP2001-068745]

出 願 人

Applicant(s):

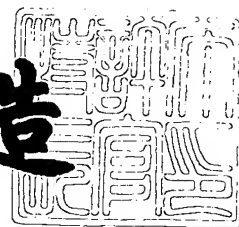
キヤノン株式会社

RECEIVED
MAY 21 2002
TECHNOLOGY CENTER 2800

2002年 4月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3024449

【書類名】 特許願

【整理番号】 4309025

【提出日】 平成13年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明の名称】 S O I 基体、その熱処理方法、それを有する半導体装置
およびその製造方法

【請求項の数】 11

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 伊藤 正孝

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 S O I 基体、その熱処理方法、それを有する半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 単結晶シリコンの融点より低い温度の還元性雰囲気中で S O I 基体を熱処理する熱処理方法において、前記 S O I 基体を保持する保持具の少なくとも表面を珪素にすることを特徴とする S O I 基体の熱処理方法。

【請求項 2】 単結晶シリコンの融点より低い温度の還元性雰囲気中で S O I 基体を熱処理する熱処理方法において、前記 S O I 基体を保持する保持具が焼結法によって製造された炭化珪素を含まない、CVD法によって製造された炭化珪素であることを特徴とする S O I 基体の熱処理方法。

【請求項 3】 熱処理温度が 7 7 5℃以上であることを特徴とする請求項 1 または 2 記載の S O I 基体の熱処理方法。

【請求項 4】 熱処理温度が 9 6 6℃以上であることを特徴とする請求項 1 または 2 記載の S O I 基体の熱処理方法。

【請求項 5】 熱処理温度が 9 9 3℃以上であることを特徴とする請求項 1 または 2 記載の熱処理方法。

【請求項 6】 請求項 1 から 5 のいずれか 1 項に記載の熱処理方法を用いて製造された S O I 基体。

【請求項 7】 H F 欠陥密度が $0.05 \text{ 個}/\text{cm}^2$ 以下であることを特徴とする請求項 6 記載の S O I 基体。

【請求項 8】 請求項 6 または 7 記載の S O I 基体の非多孔質半導体層にトランジスタの活性領域を形成することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 6 または 7 記載の S O I 基体の非多孔質半導体層にトランジスタの活性領域が形成されていることを特徴とする半導体装置。

【請求項 1 0】 前記トランジスタは部分空乏型の薄膜 M O S トランジスタである請求項 9 に記載の半導体装置。

【請求項 1 1】 前記トランジスタは完全空乏型の薄膜 M O S トランジスタである請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はSOI (Semiconductor On Insulator) 基体およびSOI基体の熱処理方法に関するものであり、特に熱処理によって発生するSOI層のHF欠陥を少なくする高品質なSOI基体およびその熱処理方法に関するものである。通常SOIはSilicon On Insulatorを示すが、本願ではSemiconductor On Insulatorを意味するものである。

【0002】

【従来の技術】

SOI基体を還元性雰囲気中で熱処理することにより平坦性の高い表面を得る技術については、たとえば特開平05-217821号公報によって開示されている。ここでいう還元性雰囲気とは「例えば水素を含む雰囲気、ないしは、水素雰囲気」であると同公報中で明示されている。

【0003】

これによると、たとえば1000℃での水素ガス中での熱処理により原子間力顕微鏡によって観察されるSOI層表面の荒れが2nm以下の高い平坦性が得られている。また、水素アニールによる表面平坦化は、研磨による方法と比較して、表面に物理的なダメージを生じないという特徴を有している。

【0004】

従来技術の一実施形態を図2を用いて説明する。SOI基体の一形態としてSOIウェハが適用されている。炉心管1は熱処理室を形成し、上部に設けられた導入管から雰囲気ガスを導入し、下部の排気管から排気する。炭化珪素製のポート3は炉蓋5上に配置されたヒートバリア4上に搭載されていて、複数のSOIウェハ6を保持している。ポート3には焼結法によって製造された炭化珪素が用いられるが、焼結法によって製造された炭化珪素の表面にCVD法(Chemical Vapor Deposition)によって合成された化学合成炭化珪素のコーティング膜が施される場合もある。

【0005】

従来の技術では、SOIウェハに還元性雰囲気中で高温の熱処理を施した結果、SOI層にHF欠陥とよばれる欠陥が増加する場合があった。HF欠陥とは、Sadanaらによって文献”NANO-DEFECTS IN COMMERCIAL BONDED SOI AND SIMOX” (Proceedings 1994 IEEE International SOI Conference, Oct. 1994) に記述があるが、SOIウェハに特有の欠陥であり、SOIウェハをフッ酸に浸漬処理することで顕在化する。Sadanaらによると、HF欠陥の原因は金属汚染およびSOI層のピンホールであると示唆されている。この欠陥はSOIウェハ上に形成されるデバイスの動作不良の原因になると考えられ、欠陥密度の低減が求められている。

【0006】

なお、関連する技術として特開平5-152230号公報において「シリコンウェハをシリコン製のボートに載せ、還元性ガス雰囲気中、1000～1300℃で熱処理することを特徴とするシリコンウェハの熱処理方法。」が開示されているが、同技術はシリコンウェハの酸化誘起積層欠陥の制御に関するものであり、また、「熱処理中のウェハの落下事故や、ウェハの局所的なエッチングを防止できる熱処理方法を提供することを目的とする」技術であり、本発明の技術的思想とは全く異なるものである。

【0007】

また、特開平5-152230号公報においては、SOIウェハやSOIウェハの欠陥に関する記述は全く記載されていないものであり、また、ウェハに生じる金属汚染に関する記述もなく、同技術をSOIウェハと組み合わせることによってSOIウェハのHF欠陥が低減することを示唆するものではない。

【0008】

【発明が解決しようとする課題】

このような従来技術に鑑み、本発明は還元性雰囲気中での熱処理を用いてHF欠陥密度の低いSOIウェハ、その熱処理方法、それを有する半導体装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記の目的を達成するために、本発明は単結晶シリコンの融点より低い温度の還元性雰囲気中でSOI基体を熱処理する熱処理方法において、前記SOI基体を保持する保持具の少なくとも表面を珪素にすることを特徴とする。

【0010】

また、単結晶シリコンの融点より低い温度の還元性雰囲気中でSOI基体を熱処理する熱処理方法において、前記SOI基体を保持する保持具が焼結法によって製造された炭化珪素を含まない、CVD法によって製造された炭化珪素であることを特徴とする。

【0011】

また、上記の熱処理方法において、熱処理温度が775℃以上であることを特徴とする。

【0012】

また、上記の熱処理方法において、熱処理温度が966℃以上であることを特徴とする。

【0013】

また、上記の熱処理方法において、熱処理温度が993℃以上であることを特徴とする。

【0014】

また、上記の熱処理方法を用いて製造されたSOI基体であり、HF欠陥密度が0.05個/cm²以下であることを特徴とする。

【0015】

また、半導体装置の製造方法において、上記のSOI基体の非多孔質半導体層にトランジスタの活性領域を形成することを特徴とする。

【0016】

また、半導体装置において、上記のSOI基体の非多孔質半導体層にトランジスタの活性領域が形成されていることを特徴とする。

【0017】

また、上記の半導体装置において、トランジスタは部分空乏型の薄膜MOSト

ランジスタである。

【0018】

また、上記の半導体装置において、前記トランジスタは完全空乏型の薄膜MOSトランジスタである。

【0019】

本発明者はSOIウェハに還元性雰囲気中で高温の熱処理を施した場合に増加するHF欠陥について鋭意研究を進めた結果、HF欠陥の増加は熱処理によってSOIウェハに生じる極めて微量な金属汚染と関係のあることを見いだした。特に、還元性雰囲気中で熱処理を実施すると、きわめて微量ではあるもののウェハ表面にニッケル等の金属汚染が増大し、これがシリコンと金属の化合物として微細な析出物（たとえばニッケルシリサイド）を形成し、SOIウェハのHF欠陥の原因の一つとなると確信するに至った。

【0020】

また、金属汚染の汚染源の一つは焼結法によって作成された炭化珪素に溶融シリコンを含浸して製造されたボートであることを見いだした。また、表面を焼結炭化珪素よりも高純度な化学合成炭化珪素でコーティングした炭化珪素製のボートを用いた場合であってもコーティング膜の劣化に伴って同様な金属汚染が生じることを見いだした。これらの知見に基づき、本発明は上記の手段によって課題を解決するものである。

【0021】

【発明の実施の形態】

ここでCVD法によって炭化珪素を作成する方法は、シリコン原子を含むガスを炭素原子を含むガスに化学反応させて炭化珪素（SiC）を形成する方法であって、炭化珪素は被処理物表面に堆積して薄膜を形成する方法である。また、焼結法によって炭化珪素を作成する方法は原料炭化珪素の粉末にバインダーを混ぜて粘土状にしたものを成形し、高温で焼き固める方法である。

【0022】

また、通常SOIはSilicon On Insulatorを示すが、本願ではSemiconductor On Insulatorを意味するもの

である。還元性雰囲気とは「例えば水素を含む雰囲気、ないしは、水素雰囲気」を意味するものとする。

【0023】

図3および図4に基づいて保持具としてのボートの形状について説明する。図3は本実施形態に適用されるウェハ用ポート8を示す。リング状の底板10に4本の支柱11が対称に立設され、該支柱11の上端にリング状の天板12が固着され、前記支柱11は断面が円形であり、該支柱11のウェハ用ポート8の中心軸心に面した側にウェハ装填用の溝13が上下方向に所要ピッチで多数刻まれている。ウェハは前記4本の支柱11の溝13に挿入され、4箇所の溝部分でウェハ用ポート8に支持される。

【0024】

なお、底板および天板はリング状でなくて円板状であってもよい。また、支柱の断面は円形以外の形状であってもかまわない。また、支柱、底板および天板は必ずしも固着されている必要はなく、たとえば、それぞれの部材が組み合わされた組み立て・分解が可能な構造であってもよい。

【0025】

{第1の実施形態}

以下、本発明に係るSOIウェハおよびその熱処理方法の一実施形態の第1の実施形態を図1を用いて説明する。保持具の形状は図3と図4に示した形状のものを使用するものとする。なお本実施形態のSOIはシリコンに限定されない。それ以外の材料として、たとえばSiGe（シリコンゲルマニウム）が適用できる。

【0026】

図2と同一の構成部材については同一の符号で示し、説明を省略する。図2の構成部材と異なるのは、保持具としてのボートの素材である。シリコンポート7は耐熱性を有する高純度な部材の表面にシリコンのコーティング膜を施した物でも良いが、耐久性等の観点から、シリコンの単結晶部材または多結晶部材を加工して製造した物を用いるのが望ましい。

【0027】

また、シリコンボート 7 はシリコン製のボートの他に、専ら CVD 法によって合成された高純度の合成炭化珪素からなる合成炭化珪素ボートを用いても良い。この場合、たとえボートの部材の内部の部材であっても焼結炭化珪素を含んでい
る場合には汚染源となるため、焼結法によって製造された炭化珪素を含まないこ
とが必要とされる。

【 0 0 2 8 】

これらの部材をボートに用いることにより、従来焼結炭化珪素またはシリコン
含浸炭化珪素から発生していた金属不純物による S O I ウェハの汚染を効果的に
防止することが可能となり、H F 欠陥の発生を防止することができる。

【 0 0 2 9 】

熱処理は次の手順でおこなわれる。炉蓋 5 をあらかじめ下方に移動した状態で
シリコンボート 7 に S O I ウェハ 6 を搭載し、次いで炉蓋 5 を図示の状態に移動
し、S O I ウェハ 6 を処理室内に配置するとともに炉心管の開口部を封止する。
炉蓋 5 の動作は図示しない上下動機構でおこなわれる。引き続き導入管から炉心
管内に水素ガスを導入し、処理室内を水素ガス雰囲気置換する。次いでヒータ
2 により処理室内を所定の処理温度に加熱し、熱処理する。前記の所定の処理温
度は単結晶シリコンの融点低く設定する。

【 0 0 3 0 】

所定の時間が経過後、ヒータ 2 の温度を下げてから処理室内に窒素ガスを導入
し、雰囲気を置換し、後に炉蓋 5 を下方に移動してから S O I ウェハ 6 を取り出
す。処理温度、時間等は所望のアニール効果に応じて決定されるものである。

【 0 0 3 1 】

本発明においては熱処理の温度は特別に規定されるものではないが、たとえば
処理温度がニッケルシリサイドを形成する 7 7 5 ° C 以上シリコンの融点以下の温
度である場合や、ニッケルシリサイドの最低共晶点である 9 6 6 ° C 以上シリコン
の融点以下である場合や、ニッケルシリサイドの融点である 9 9 3 ° C 以上シリコ
ンの融点以下の温度であるときに特段の効果を奏する。

【 0 0 3 2 】

(実施例 1)

シリコンボート 7 に S O I ウェハを保持して 1 0 5 0 ° C の還元性雰囲気中で熱処理した S O I ウェハ（本発明）と、比較例として炭化珪素製のボートを用いて同条件で熱処理した S O I ウェハ（従来技術）について H F 欠陥密度を比較した。H F 欠陥密度は S O I ウェハをフッ酸に 1 5 分間浸漬した後、所定の範囲を光学顕微鏡で観察し、H F 欠陥数を計測し、計測数を観察面積で除して求めた。結果を表 1 に示す。

【表 1】

	本発明	従来技術
H F 欠陥密度	0 . 0 1 個 / c m ²	0 . 2 2 個 / c m ²

本発明の技術によって、S O I ウェハ上の欠陥密度を約 1 / 2 0 に減少することができた。

【 0 0 3 3 】

（実施例 2）

本発明の効果の再現性を確認するために、実施例 1 と同様に、シリコンボート 7 に S O I ウェハを保持して還元性雰囲気中で S O I ウェハを熱処理した。S O I ウェハは複数枚用意し、個別に熱処理をおこなった。熱処理温度は 1 0 5 0 ° C から 1 1 0 0 ° C の範囲でおこなった。

【 0 0 3 4 】

これらのウェハを実施例 1 と同様に評価を行い、H F 欠陥密度を求めたところ、その平均値は 0 . 0 4 8 個 / c m ² であった。このことから本発明を繰り返し実施した場合でも、0 . 0 5 個 / c m ² 以下の H F 欠陥密度が達成可能であることが確認された。

【 0 0 3 5 】

{ 第 2 の実施形態 }

（半導体装置の製造方法）

以下、第 2 の実施形態として図 5 を参照して、なお上記の実施形態による S O I ウェハを用いた半導体装置およびその製造方法について説明する。

【 0 0 3 6 】

上記の実施形態のように熱処理されたSOIウエハを用意する。基材51上の埋め込み絶縁膜52上にある非多孔質半導体層としてのSOI層を島状にパターニングしたり、LOCOS酸化を施して、活性領域となる、トランジスタを形成すべき領域のSOI層のパターン53を形成する。図5では、絶縁体などの素子分離領域54を用いた場合の様子を例にあげて示している。

【0037】

SOI層53の表面にゲート絶縁膜56を形成する。ゲート絶縁膜56としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム及びこれらの混合物ガラスなどが用いられる。このゲート絶縁膜56は、SOI層53の表面を酸化したり、又はCVDやPVD (Physical Vapour Deposition) によりSOI層53の表面に堆積することにより形成できる。

【0038】

ゲート絶縁膜56の上にゲート電極55を形成する。ゲート電極55としては、P型又はN型不純物がドーピングされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属（これらを少なくとも一種含む合金を含む）や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物が用いられる。

【0039】

これらの材料の層はポリサイドゲートのように複数種類積層されて用いられても良い。ここでは、サリサイド（セルフアラインシリサイド）と呼ばれるプロセスでゲート電極を形成する場合について述べるが、ダマシングートプロセスと呼ばれる方法で形成してもよい。こうして、図5(a)に示すような構造体を得られる。

【0040】

ゲート電極55のパターンを形成した後、リン、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物をSOI層53に導入して、ゲート電極55

の側面に整合した比較的低濃度のソース、ドレイン領域 5 8 を形成する。不純物はイオン打ち込みと熱処理などにより導入できる。

【 0 0 4 1 】

ゲート電極 5 5 を覆うように絶縁膜を形成した後、エッチバックしてゲート電極 5 5 の側面にサイドウォール 5 9 を形成する。再び同じ導電型の不純物を導入し、サイドウォール 5 9 に整合した比較的高濃度のソース・ドレイン領域 5 7 を形成する。こうして、図 5 (b) に示す構造体を得られる。

【 0 0 4 2 】

ゲート電極上面とソース・ドレイン領域の上面を露出させて、そこにシリサイド層 6 0 0 を形成する。シリサイド層を形成する金属半導体化合物としては、金属珪化物が好ましく、具体的にはニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが用いられる。これらの珪化物は、ゲート電極 5 5 の上面とソース・ドレイン領域 5 7 の上面を覆うように金属を堆積させて、熱処理を施してソース・ドレイン領域 5 7 のシリコンと反応させた後、金属の未反応部分を硫酸などのエッチャントで除去することにより形成できる。必要に応じて更に、シリサイド層 6 0 の表面を窒化してもよい。こうして、図 5 (c) に示す構造体を得られる。

【 0 0 4 3 】

シリサイド化したゲート電極上面、ソース・ドレイン領域上面を覆うように絶縁膜 6 1 を形成する。この絶縁膜 6 1 としては、リン及び／又はボロンを含む酸化シリコンなどが好ましく用いられる。

【 0 0 4 4 】

必要に応じて、エッチバックやCMPにより絶縁膜 6 1 の上面を平坦化して、絶縁膜 6 1 にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線を光源とするフォトリソグラフィを用いれば、0.25ミクロンより小さい長さの一边をもつ矩形のコンタクトホール、または0.25ミクロンより小さい長さの一边をもつ直径をもつ円形のコンタクトホールが形成できる。

【 0 0 4 5 】

コンタクトホール内に導電体プラグを形成する。コンタクトホール内の導電体プラグの形成方法としては、バリアメタル62となる高融点金属膜、金属半導体化合物又は高融点金属窒化物からなる少なくとも一つの層を形成した後、タングステン、タングステン合金やアルミニウム、アルミニウム合金、銅、銅合金などの導電材料63を、CVD、PVD、メッキ法を用いて堆積させ、必要に応じて絶縁膜上面より上にある導電材料をエッチバックやCMPにより除去してもよい。

【0046】

或いは必要に応じてコンタクトホールから露出したソース・ドレイン領域57のシリサイド層60の表面を窒化した後、コンタクトホール内に導電体を充填してもよい。こうして、図5(d)に示したような構造体(MOS型薄膜トランジスタ)が得られ、本発明のSOIウエハを利用して、トランジスタなどの半導体装置が製造できる。

【0047】

このときに、ゲート電極に電圧を印加してゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜の上面に届くようにSOI層の厚さ及び不純物濃度を定めれば、このトランジスタは完全空乏型トランジスタとして動作する。また、空乏層が埋め込み絶縁膜の上面に届かないようにSOI層の厚さ及び不純物濃度を定めれば、このトランジスタは部分空乏型トランジスタとして動作する。

【0048】

【発明の効果】

以上述べたように、本発明によって還元性雰囲気中での熱処理を用いてHF欠陥密度の低いSOIウエハおよびその熱処理方法を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態を示す装置の断面図である。

【図2】

従来技術の一実施形態を示す装置の断面図である。

【図3】

ウェハ保持用のボートの立断面図である。

【図4】

C-C線断面図である。

【図5】

本発明の一実施形態の半導体ウェハを利用して作成された半導体装置の一例である。

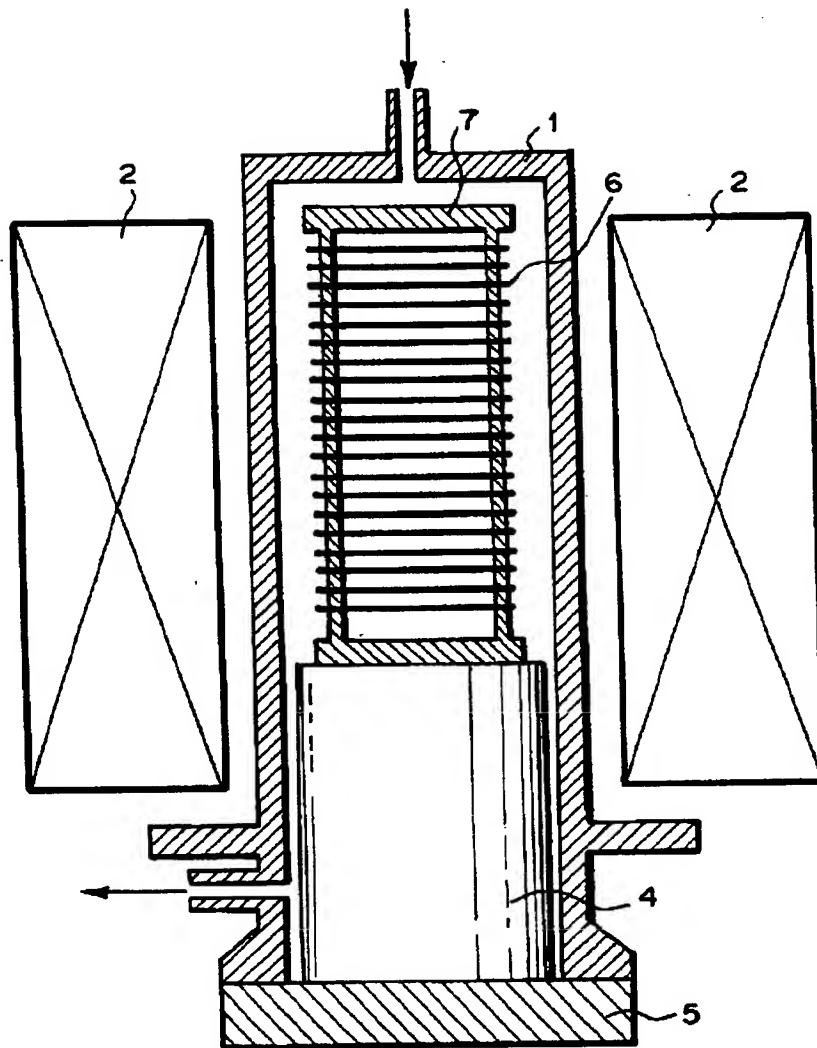
【符号の説明】

- 1 炉心管
- 2 ヒータ
- 3 炭化珪素製のボート
- 4 ヒートバリア
- 5 炉蓋
- 6 SOIウェハ
- 7 シリコンボート
- 8 ウェハ保持用ボート
- 10 底板
- 11 支柱
- 12 天板
- 13 溝
- 51 基材
- 52 埋込絶縁膜
- 53 SOI層
- 54 素子分離領域
- 55 ゲート電極
- 56 ゲート絶縁膜
- 57 高濃度ソース・ドレイン
- 58 低濃度ソース・ドレイン
- 59 サイドウォール
- 60 シリサイド層

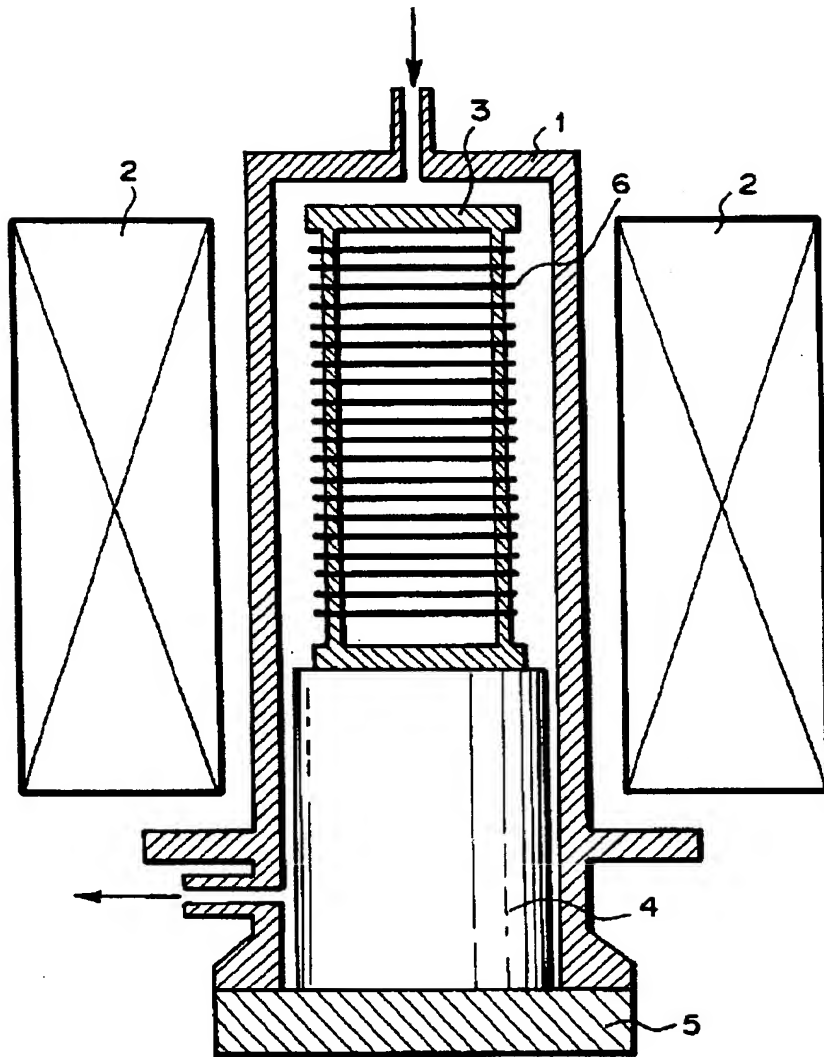
- 6 1 絶縁膜
- 6 2 バリアメタル
- 6 3 導電体

【書類名】 図面

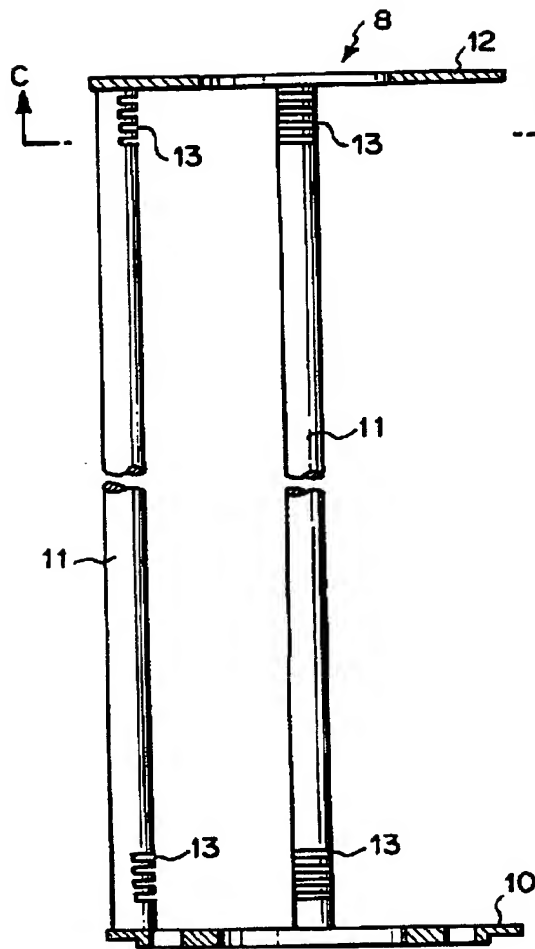
【図 1】



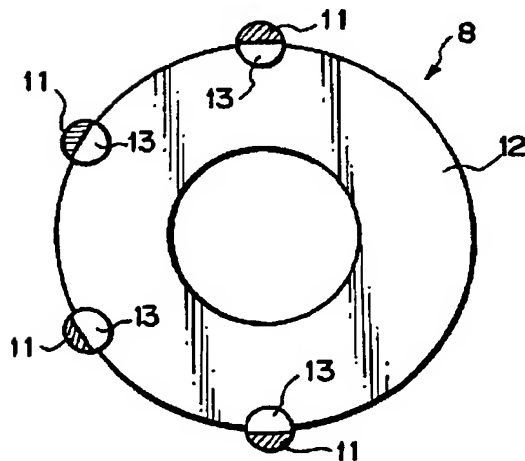
【図 2】



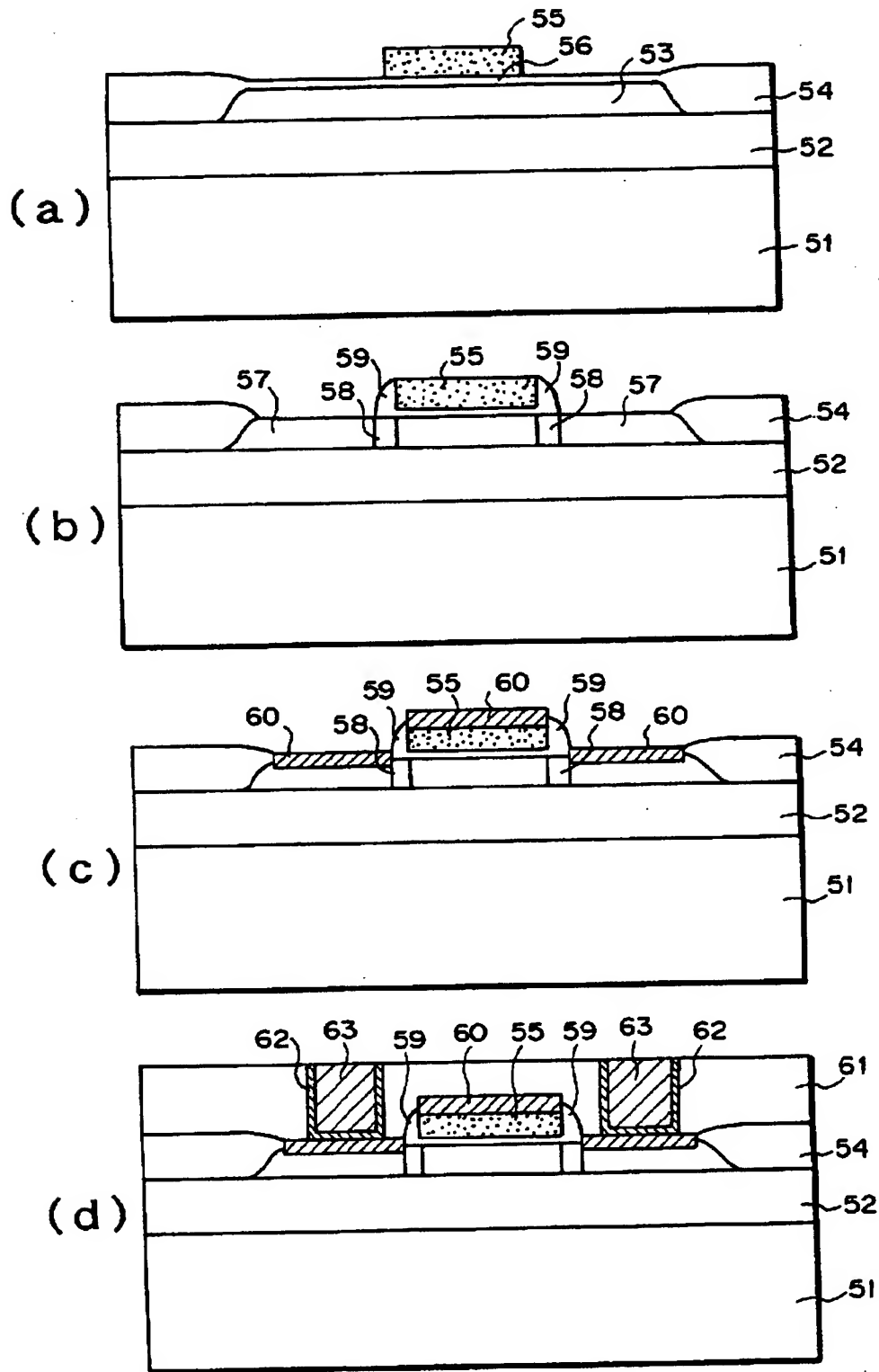
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は還元性雰囲気中での熱処理を用いて H F 欠陥密度の低い S O I ウェハ、その熱処理方法、それを有する半導体装置およびその製造方法を提供する。

【解決手段】 単結晶シリコンの融点より低い温度の還元性雰囲気中で S O I 基体の熱処理において、H F 欠陥を防止するために前記 S O I 基体を保持する保持具の少なくとも表面を珪素にする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社